

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-062469

(43)Date of publication of application : 12.03.1993

(51)Int.Cl.

G11C 11/409  
G11C 11/406

(21)Application number : 04-004864

(71)Applicant : NATL SEMICONDUCTOR CORP  
<NS>

(22)Date of filing : 14.01.1992

(72)Inventor : MOAZZAMI REZA  
JAFJE JAMES M

(30)Priority

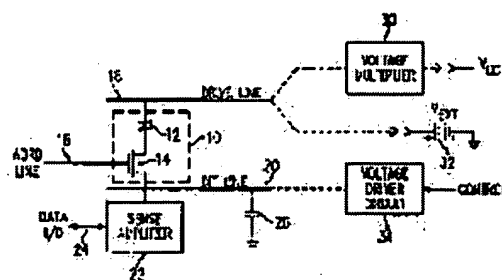
Priority number : 91 642022 Priority date : 16.01.1991 Priority country : US

## (54) REFLECTOR OF FERROELECTRIC CAPACITOR

(57)Abstract:

PURPOSE: To extend the durability of the ferroelectric capacitor by refreshing a ferroelectric substance.

CONSTITUTION: The ferroelectric substance is refreshed by being applied with a voltage across the ferroelectric capacitor 12, and the voltage is much higher than the voltage that the capacitor is experienced in its ordinary operation period. In a memory array equipped with ferroelectric capacitor cells, a memory cell 10 is read first and this data are temporarily stored in a relative sense amplifier 22. Then the temporarily stored data is written back to the memory cell to refresh the capacitor. A refreshing circuit connected between a driving line 18 and a bit line 20 is common to many cells and driven with a voltage which is much higher than the voltage that the memory cell is experienced in during the ordinary read operation period. A VCC ground pulse train is applied to the driving line and its inverted waveform is applied to the bit line during the refreshing operation period.



---

**LEGAL STATUS**

[Date of request for examination] 28.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3220495

[Date of registration] 10.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In order to charge said ferro-electric capacitor and to discharge during the normal operation period of the circuit relevant to said capacitor in the approach of extending the endurance of a ferro-electric capacitor, an electrical potential difference is impressed. It is the thing which said electrical potential difference does not exceed [ thing ] the operating voltage defined beforehand, and makes useful information store in said ferro-electric capacitor. Cross said capacitor and a refresh signal level with bigger magnitude than said electrical potential difference which is impressed during said normal operation period to said capacitor and which was defined beforehand is given periodically 1 time or more than it. Said refresh signal level is an approach characterized by having each above-mentioned step effective for reviving the ferroelectric matter of said capacitor.

[Claim 2] The approach characterized by crossing said ferro-electric capacitor and impressing a digital refresh signal level further in claim 1.

[Claim 3] The approach further characterized by impressing said refresh signal level during said normal operation period in claim 1.

[Claim 4] The approach characterized by crossing said ferro-electric capacitor and impressing said refresh signal level in order to carry out reestablishment of the polarization condition of the request stored by said capacitor further in claim 1.

[Claim 5] In the memory cell possessing a ferro-electric capacitor, a switching transistor, a WORD line, the bit line, and drive Rhine In the approach of extending the endurance of said ferro-electric capacitor, said memory cell is accessed by carrying out the address of said WORD line. In order to perform the read or the writing of said cel about a polarization condition, cross said ferro-electric capacitor and the electrical potential difference of the first magnitude is made to impress. The approach characterized by having each above-mentioned step which crosses said ferro-electric capacitor and impresses the electrical potential difference of the second bigger magnitude than said first magnitude in order to make the ferroelectric matter of said capacitor refresh.

[Claim 6] The approach characterized by driving said drive Rhine in the magnitude of said second electrical potential difference, and maintaining said bit line on a fixed electrical potential difference substantially further in claim 5.

[Claim 7] The approach characterized by making said bit-line electrical potential difference increase so that the potential which maintained further in claim 5 on the drive Rhine electrical potential difference which appointed said drive Rhine beforehand, and crossed said ferro-electric capacitor, and was impressed may be equivalent to said second magnitude.

[Claim 8] The approach characterized by making said refresh actuation start in the count which counted further the number of the memory access cycles exposed by said cel in claim 5, and was defined beforehand.

[Claim 9] The approach characterized by the thing which set beforehand after one refresh actuation further in claim 5 before starting refresh actuation since then, and to do for time amount period standby.

[Claim 10] claim 9 -- setting -- further -- between said refresh actuation -- un--- 1 -- the approach

characterized by the thing [ like ] to do for time amount period standby.

[Claim 11] The approach characterized by refreshing said cel further in claim 8 on the refresh electrical potential difference of the magnitude to which it was made to increase in the refresh actuation after each \*\*

[Claim 12] The approach characterized by refreshing said memory cell periodically in claim 5 in a mode to which the time amount period between refresh actuation becomes still shorter further.

[Claim 13] claim 5 -- setting -- further -- said ferro-electric capacitor -- crossing -- about 2 -- impressing -3V -- the read of said cel -- carrying out -- and said ferro-electric capacitor -- crossing -- about 5 -- the approach characterized by making said cel refresh by impressing V.

[Claim 14] The approach characterized by carrying out when the semiconductor chip has the array of said ferro-electric capacitor cel and said refresh actuation makes the supply voltage to said chip increase in claim 5.

[Claim 15] The approach that said ferro-electric capacitor is made to expose to two or more pulses during each refresh actuation period, and each pulse is further characterized by having the magnitude corresponding to said second magnitude in claim 5.

[Claim 16] The circuit characterized by enforcing the approach of claim 5.

[Claim 17] In the approach of making the endurance of the memory array which has the cel in which the address of a large number in which each cel possesses the ferro-electric capacitor is possible extending (a) One cel of said array is refreshed by impressing the address to the WORD line relevant to said cel. (b) In order to make the ferro-electric capacitor matter refresh, cross said ferro-electric capacitor through drive Rhine and the bit line, and an electrical potential difference higher than the usual electrical potential difference is impressed. (c) Approach characterized by having each above-mentioned step periodically refreshed for the cel of others of said array by repeating a step (a) and (b) on a target serially, and performing them.

[Claim 18] The approach further characterized by refreshing said array during a memory read-cycle period in claim 17.

[Claim 19] The approach characterized by carrying out the refresh sequence by storing temporarily the data which read said cel and are further related in a sense amplifier in claim 17, and refreshing said memory cell, and writing in again said data stored temporarily in said memory cell.

[Claim 20] The approach characterized by maintaining a bit-line electrical potential difference uniformly, and making a drive Rhine electrical potential difference increase during said refresh period further in claim 17.

[Claim 21] The approach characterized by making the electrical potential difference which crosses said ferro-electric capacitor increase to magnitude bigger about 50% than the magnitude which crosses said capacitor and is usually further impressed during a read-cycle period in claim 17.

[Claim 22] The approach characterized by further usually impressing the electrical potential difference of  $V_{dd}/2$  substantially to each ferro-electric capacitor during a read actuation period, and crossing each ferro-electric capacitor and impressing the electrical potential difference of  $V_{dd}$  during a refresh actuation period in claim 17.

[Claim 23] The approach characterized by for said array having the cel of the gestalt of a line and a train, and refreshing the cel of each line on a target serially during each single refresh actuation period in claim 17.

[Claim 24] The circuit characterized by enforcing the approach of claim 17.

[Claim 25] The array which each cel becomes from two or more memory cells which have a ferroelectric capacitive element in a ferroelectric memory array is prepared. The circuit which accesses said array in order to carry out the address of the desired memory cell is prepared. The electrical-potential-difference drive circuit which crosses the ferro-electric capacitor of said cel by which the address was carried out, and impresses the electrical potential difference of the first magnitude during usual memory read / write-in actuation period is prepared. The memory array characterized by establishing a means to cross the capacitive element of each cel by which the address was carried out, and to impress the second electrical potential difference of bigger magnitude than said first magnitude

during the refresh actuation period for making the ferroelectric matter of said capacitive element refresh.

[Claim 26] The memory array characterized by preparing the circuit which drives said capacitive element on the second electrical potential difference since the matter of said capacitor is further refreshed during the refresh actuation period following memory read actuation in claim 25.

[Claim 27] The memory array characterized by forming further the counter which counts the number of memory access cycles in claim 25, and establishing a means to answer a predetermined count and to make refresh actuation start.

[Claim 28] The memory array characterized by forming said counter on a semiconductor chip with said array in claim 27.

[Claim 29] The memory array to which said counter is characterized by having a non-volatile stage in claim 27.

[Claim 30] The memory array to which said memory array is formed on the silicon chip, and said counter is characterized by being separated and located from said chip in claim 27.

[Claim 31] The memory array characterized by establishing a means for it to be formed on the semiconductor chip with which the supply voltage by which said array is defined as  $V_{cc}$  is supplied in claim 25, and to make supply voltage increase during a refresh actuation period.

[Claim 32] The common drive line circuit which impresses an electrical potential difference further in claim 25 to many ferro-electric capacitors of each cel connected to common drive Rhine is prepared. And the memory array characterized by preparing the circuit which is connected with said drive line circuit, drives drive Rhine on the electrical potential difference of the first magnitude for read actuation, and drives drive Rhine during a refresh actuation period on the electrical potential difference of the second bigger magnitude than said first magnitude.

[Claim 33] It is the memory array which the sense amplifier is further formed in claim 25 in relation to the bit line to which said memory cell is connected, and is characterized by said sense amplifier having the electrical-potential-difference drive circuit which drives said bit line on the first electrical potential difference during the usual rewrite actuation period, and drives the bit line on a still higher electrical potential difference during a refresh actuation period.

[Claim 34] The memory array characterized by preparing the drive circuit which crosses each ferro-electric capacitor and impresses a refresh electrical potential difference directly further in claim 25.

[Claim 35] The memory array characterized by for said drive circuit crossing common drive Rhine and the common bit line, and connecting it in claim 25.

[Claim 36] The memory array to which it is characterized by having another CMOS transistor pair connected to the bit line in claim 35 while said drive circuit has the CMOS transistor pair connected to drive Rhine.

[Claim 37] The memory array characterized by forming the inverter which reverses a driving signal before being further impressed in claim 36 to one side of said CMOS transistor pairs, in order to give a phase gap signal.

[Claim 38] The array which each cel becomes from two or more memory cells which have a ferroelectric capacitive element in a ferroelectric memory array is prepared. The circuit which accesses said array in order to carry out the address of the desired memory cell is prepared. In order to attain to the ferroelectric capacitive element of the cel by which the address was carried out and to transmit the charge from it, many memory cells and the common bit line are prepared. In order to impress driver voltage to a ferroelectric capacitive element, drive Rhine is prepared in common to many memory cells. Connect with said bit line and said drive Rhine, and at least one ferroelectric capacitive element of a cel relevant to said drive Rhine and bit line is crossed. The ferroelectric memory array characterized by preparing the drive circuit for impressing a refresh electrical potential difference directly.

[Claim 39] The ferroelectric memory array characterized by constituting the cel so that the electrical potential difference which crosses a ferroelectric capacitive element and is obtained as a result may always be under  $V$ , and a charge may be distributed between a ferroelectric capacitive element and the capacity of the bit line, and for the electrical potential difference of  $V$  crossing drive Rhine and the bit

line, and impressing it during a refresh actuation period during the usual cel access period in claim 38.

[Claim 40] The ferroelectric memory array characterized by preparing further the oscillator which impresses two or more refresh electrical-potential-difference pulses to a ferroelectric capacitive element during a refresh actuation period in claim 38.

[Claim 41] It is the ferroelectric memory array which the decoder which decodes the count which the counter which totals the number of accesses to said array is further formed in claim 38, and said counter defined beforehand is prepared, and is characterized by the ability of the output of said decoder to operate so that it may make refresh actuation start.

[Claim 42] The ferroelectric memory array characterized by establishing a means to preset further in claim 41 to the count which defined said counter beforehand.

[Claim 43] The supply voltage connected to one pin of said chip is made to increase from the first magnitude in which said chip usually operates in read and write-in actuation to much more big magnitude in the approach of making the cel of a ferroelectric memory chip refreshing. And the approach characterized by having each above-mentioned step which accesses each cel of said array on the electrical potential difference of said increased magnitude which was impressed to said chip in order to make the ferroelectric matter of each cel refresh.

[Claim 44] The approach characterized by carrying out in claim 43 when said step to access reads each memory cell.

[Claim 45] The approach characterized by being increased in claim 43 when said supply voltage makes forward supply voltage increase.

[Claim 46] The approach characterized by being increased in claim 43 when said supply voltage makes negative supply voltage increase.

[Claim 47] In ferroelectric random-access memory, two or more memory cells in which each has a ferroelectric capacitive element are prepared. Connect with at least one of said the cels, and at least one bit line is prepared. Connect with at least one of said the cels, and drive Rhine of at least one is prepared. The separation transistor which the sense amplifier is formed [ transistor ], and connects said bit line to said sense amplifier possible [ a switch ] during the read period of said cel, and makes said bit line separate from said sense amplifier during the refresh period of said cel is prepared. Memory characterized by preparing the drive circuit which impresses an electrical potential difference between said drive Rhine and said bit lines in order to be able to operate during the refresh period of said cel and to make said capacitive element refresh.

[Claim 48] Memory characterized by preparing further the oscillator which drives said drive line circuit in claim 47.

[Claim 49] Memory characterized by forming the counter which memory access is totaled [ counter ] and makes refresh start after access of a predetermined number further in claim 47.

[Claim 50] Memory to which said drive circuit is characterized by having the second CMOS transistor pair connected to the first CMOS transistor pair connected to said drive Rhine, and said bit line in claim 47.

[Claim 51] Memory characterized by connecting said each CMOS transistor pair in serial between the supply voltage of said memory in claim 50.

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-62469

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/409  
11/4068320-5L  
8320-5L

G11C 11/34

353 Z  
363 Z

審査請求 未請求 請求項の数51(全 18 頁)

(21)出願番号 特願平4-4884

(22)出願日 平成4年(1992)1月14日

(31)優先権主張番号 642022

(32)優先日 1991年1月16日

(33)優先権主張国 米国(US)

(71)出願人 591013469

ナショナル セミコンダクタ コーポレイ  
ション

NATIONAL SEMICONDUCTOR CORPORATION

アメリカ合衆国, カリフォルニア 95052,  
サンタ クララ, セミコンダクタ ドライ  
ブ 2800

(72)発明者 レザ モアツザーミ

アメリカ合衆国, カリフォルニア  
94610, オークランド, ジェイン ア  
ベニュー 395, ナンバー 315

(74)代理人 弁理士 小橋 一男 (外1名)

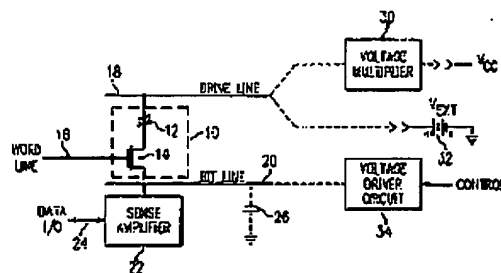
最終頁に続く

(54)【発明の名称】 強誘電体コンデンサのリフレッシュ

(57)【要約】 (修正有)

【目的】強誘電体コンデンサの耐久性が、強誘電体物質をリフレッシュすることにより延長させることを可能とする。

【構成】強誘電体物質は、強誘電体コンデンサ12を隔断して電圧を印加することによりリフレッシュされ、その電圧は通常動作期間中にコンデンサが経験するものよりも一層高いものである。強誘電体コンデンサセルを具備するメモリアレイは、最初に、メモリセル10の読取りを行ない、そのデータを関連するセンスアンプ22内に一時的に格納し、次いでその一時的に格納したデータをメモリセル内に書き戻すことによりリフレッシュさせることが可能である。駆動ライン18とビットライン20との間に接続されているリフレッシュ回路は、多数のセルに対して共通であり、通常読取り動作期間中にメモリセルが経験するよりも一層高い電圧で駆動される。駆動ラインへV<sub>cc</sub>、対接地パルスラインが印加され、一方その反転した波形がリフレッシュ動作期間中にビットラインへ印加される。



(2)

特開平5-62469

1

【特許請求の範囲】

【請求項1】 強誘電体コンデンサの耐久性を延長する方法において、前記コンデンサと関連する回路の通常動作期間中に前記強誘電体コンデンサを充電し且つ放電するために電圧を印加し、前記電圧は予め定めた動作電圧を超えることなく且つ前記強誘電体コンデンサ内に有用な情報を格納させるものであり、前記通常動作期間中に前記コンデンサへ印加される前記予め定めた電圧よりも大きさが大きなりフレッシュ信号電圧を前記コンデンサを横断して1回又はそれ以上周期的に付与し、前記リフレッシュ信号電圧は前記コンデンサの強誘電体物質を復活させるのに効果的である、上記各ステップを有することを特徴とする方法。

【請求項2】 請求項1において、更に、前記強誘電体コンデンサを横断してデジタルリフレッシュ信号電圧を印加することを特徴とする方法。

【請求項3】 請求項1において、更に、前記通常動作期間中に前記リフレッシュ信号電圧を印加することを特徴とする方法。

【請求項4】 請求項1において、更に、前記コンデンサにより格納された所望の分極状態を再確立するために前記強誘電体コンデンサを横断して前記リフレッシュ信号電圧を印加することを特徴とする方法。

【請求項5】 強誘電体コンデンサと、スイッチングトランジスタと、ワードラインと、ビットラインと、駆動ラインとを具備するメモリセルにおいて、前記強誘電体コンデンサの耐久性を延長する方法において、前記ワードラインをアドレスすることにより前記メモリセルをアクセスし、分極状態に関して前記セルの読取り又は書き込みを行なうために前記強誘電体コンデンサを横断して第一の大きさの電圧を印加させ、前記コンデンサの強誘電体物質をリフレッシュさせるために前記強誘電体コンデンサを横断して前記第一の大きさよりも大きな第二の大きさの電圧を印加する、上記各ステップを有することを特徴とする方法。

【請求項6】 請求項5において、更に、前記駆動ラインを前記第二の電圧の大きさに駆動し且つ前記ビットラインを実質的に一定の電圧に維持することを特徴とする方法。

【請求項7】 請求項5において、更に、前記駆動ラインを予め定めた駆動ライン電圧で維持し且つ前記強誘電体コンデンサを横断して印加された電位が前記第二の大きさに対応するように前記ビットライン電圧を増加させることを特徴とする方法。

【請求項8】 請求項5において、更に、前記セルに露呈されるメモリアクセスサイクルの数をカウントし、且つ予め定めたカウントにおいて、前記リフレッシュ動作を開始させることを特徴とする方法。

【請求項9】 請求項5において、更に、前後のリフレッシュ動作を開始する前に一つのリフレッシュ動作の後

2

予め定めた時間期間待機することを特徴とする方法。

【請求項10】 請求項9において、更に、前記リフレッシュ動作の間非一様な時間期間待機することを特徴とする方法。

【請求項11】 請求項8において、更に、各前後のリフレッシュ動作において増加させた大きさのリフレッシュ電圧で前記セルをリフレッシュすることを特徴とする方法。

【請求項12】 請求項5において、更に、リフレッシュ動作の間の時間期間が一層短くなるような態様で前記メモリセルを周期的にリフレッシュすることを特徴とする方法。

【請求項13】 請求項5において、更に、前記強誘電体コンデンサを横断して約2-3Vを印加することにより前記セルの読取りを行ない、且つ前記強誘電体コンデンサを横断して約5Vを印加することにより前記セルをリフレッシュさせることを特徴とする方法。

【請求項14】 請求項5において、半導体チップが前記強誘電体コンデンサセルのアレイを有しており、且つ前記リフレッシュ動作が前記チップへの供給電圧を増加させることにより実施されることを特徴とする方法。

【請求項15】 請求項5において、更に、各リフレッシュ動作期間中に、前記強誘電体コンデンサを複数個のバースへ露呈させ、各バースが前記第二の大きさに対応する大きさを有することを特徴とする方法。

【請求項16】 請求項5の方法を実施することを特徴とする回路。

【請求項17】 各セルが強誘電体コンデンサを具備している多数のアドレス可能なセルを有するメモリアレイの耐久性を延長させる方法において、

(a) 前記セルに関連するワードラインへアドレスを印加することにより前記アレイの1個のセルをリフレッシュし、

(b) 強誘電体コンデンサ物質をリフレッシュさせるために駆動ライン及びビットラインを介して前記強誘電体コンデンサを横断して通常の電圧よりも高い電圧を印加し、

(c) ステップ(a)及び(b)を逐次的に繰返し行なうことにより前記アレイのその他のセルを周期的にリフレッシュする、上記各ステップを有することを特徴とする方法。

【請求項18】 請求項17において、更に、メモリ読取りサイクル期間中に前記アレイをリフレッシュすることを特徴とする方法。

【請求項19】 請求項17において、更に、前記セルを読取り且つセンスアンプ内に関連するデータを一時的に格納し、前記メモリセルをリフレッシュし、且つ前記一時的に格納したデータを前記メモリセル内に再度書き込むことによるリフレッシュシーケンスを実施することを特徴とする方法。



(3)

特開平5-62469

3

【請求項20】 請求項17において、更に、ビットライン電圧を一定に維持し且つ前記リフレッシュ期間中に駆動ライン電圧を増加させることを特徴とする方法。

【請求項21】 請求項17において、更に、読取りサイクル期間中に前記コンデンサを横断して通常印加される大きさよりも約50%大きな大きさへ前記強誘電体コンデンサを横断しての電圧を増加させることを特徴とする方法。

【請求項22】 請求項17において、更に、通常読取り動作期間中に各強誘電体コンデンサへ実質的にV<sub>dd</sub>/2の電圧を印加し、且つリフレッシュ動作期間中に各強誘電体コンデンサを横断してV<sub>dd</sub>の電圧を印加することを特徴とする方法。

【請求項23】 請求項17において、前記アレイが行及び列の形態のセルを有しており、且つそれぞれの単一のリフレッシュ動作期間中に各行のセルを逐次的にリフレッシュすることを特徴とする方法。

【請求項24】 請求項17の方法を実施することを特徴とする回路。

【請求項25】 強誘電体メモリアレイにおいて、各セルが強誘電体容量性要素を有する複数のメモリセルからなるアレイが設けられており、所望のメモリセルをアドレスするために前記アレイをアクセスする回路が設けられており、通常のメモリ読取り/書き込み動作期間中に前記アドレスされたセルの強誘電体コンデンサを横断して第一の大きさの電圧を印加する電圧駆動回路が設けられており、前記容量性要素の強誘電体物質をリフレッシュさせるためのリフレッシュ動作期間中に各アドレスされたセルの容量性要素を横断して前記第一の大きさより大きな大きさの第二電圧を印加する手段が設けられていることを特徴とするメモリアレイ。

【請求項26】 請求項25において、更に、メモリ読取り動作に続くリフレッシュ動作期間中に前記コンデンサの物質をリフレッシュするために前記容量性要素を第二電圧で駆動する回路が設けられていることを特徴とするメモリアレイ。

【請求項27】 請求項25において、更に、メモリアクセスサイクルの数をカウントするカウンタが設けられており、且つ所定のカウンタに応答してリフレッシュ動作を開始させる手段が設けられていることを特徴とするメモリアレイ。

【請求項28】 請求項27において、前記カウンタが前記アレイと共に半導体チップ上に形成されていることを特徴とするメモリアレイ。

【請求項29】 請求項27において、前記カウンタが非揮発性の段を有することを特徴とするメモリアレイ。

【請求項30】 請求項27において、前記メモリアレイがシリコンチップ上に形成されており、且つ前記カウンタが前記チップから離れて位置されていることを特徴とするメモリアレイ。

4

【請求項31】 請求項25において、前記アレイがV<sub>cc</sub>として定義される供給電圧が供給される半導体チップ上に形成されており、且つリフレッシュ動作期間中に供給電圧を増加させる手段が設けられていることを特徴とするメモリアレイ。

【請求項32】 請求項25において、更に、共通駆動ラインへ接続されているそれぞれのセルの多数の強誘電体コンデンサへ電圧を印加する共通駆動ライン回路が設けられており、且つ前記駆動ライン回路と関連しており読取り動作のために第一の大きさの電圧で駆動ラインを駆動し且つリフレッシュ動作期間中に前記第一の大きさよりも大きな第二の大きさの電圧で駆動ラインを駆動する回路が設けられていることを特徴とするメモリアレイ。

【請求項33】 請求項25において、更に、前記メモリセルが接続されているビットラインと関連してセンスアンプが設けられており、前記センスアンプは、通常の書き込み動作期間中に第一電圧で前記ビットラインを駆動し且つリフレッシュ動作期間中に一層高い電圧でビットラインを駆動する電圧駆動回路を有することを特徴とするメモリアレイ。

【請求項34】 請求項25において、更に、各強誘電体コンデンサを横断して直接的にリフレッシュ電圧を印加する駆動回路が設けられていることを特徴とするメモリアレイ。

【請求項35】 請求項25において、前記駆動回路が、共通駆動ライン及び共通ビットラインを横断して接続されていることを特徴とするメモリアレイ。

【請求項36】 請求項35において、前記駆動回路が、駆動ラインへ接続されているCMOSトランジスタ対を有すると共に、ビットラインへ接続されている別のCMOSトランジスタ対を有することを特徴とするメモリアレイ。

【請求項37】 請求項36において、更に、位相ズレ信号を与えるために前記CMOSトランジスタ対のうちの一方へ印加される前に駆動信号を反転させるインバータが設けられていることを特徴とするメモリアレイ。

【請求項38】 強誘電体メモリアレイにおいて、各セルが強誘電体容量性要素を有する複数のメモリセルからなるアレイが設けられており、所望のメモリセルをアドレスするために前記アレイをアクセスする回路が設けられており、アドレスされたセルの強誘電体容量性要素へ及びそれからの電荷を転送するために多数のメモリセルと共通なビットラインが設けられており、強誘電体容量性要素へ駆動電圧を印加するために多数のメモリセルに対して共通に駆動ラインが設けられており、前記ビットライン及び前記駆動ラインへ接続されており前記駆動ライン及びビットラインと関連する少なくとも1個のセルの強誘電体容量性要素を横断して直接的にリフレッシュ電圧を印加するための駆動回路が設けられていること

(4)

特開平5-62469

5

を特徴とする強誘電体メモリアレイ。

【請求項39】 請求項38において、通常のセルアクセス期間中に、強誘電体容量性要素を横断して結果的に得られる電圧が常にV未満であるように強誘電体容量性要素とビットラインの容量との間で電荷を分散させるようにセルが構成されており、且つリフレッシュ動作期間中に、Vの電圧が駆動ラインとビットラインとを横断して印加されることを特徴とする強誘電体メモリアレイ。

【請求項40】 請求項38において、更に、リフレッシュ動作期間中に強誘電体容量性要素へ複数個のリフレッシュ電圧パルスを印加するオシレータが設けられていることを特徴とする強誘電体メモリアレイ。

【請求項41】 請求項38において、更に、前記アレイへのアクセス数を集計するカウンタが設けられており、且つ前記カウンタの予め定めたカウントをデコードするデコーダが設けられており、前記デコーダの出力はリフレッシュ動作を開始させるべく動作可能であることを特徴とする強誘電体メモリアレイ。

【請求項42】 請求項41において、更に、前記カウンタを予め定めたカウントへブリセットする手段が設けられていることを特徴とする強誘電体メモリアレイ。

【請求項43】 強誘電体メモリチップのセルをリフレッシュさせる方法において、前記チップの一つのピンへ接続されている供給電圧を前記チップが通常読取り及び書き込み動作において動作する第一の大きさから一層大きな大きさに増加させ、且つ各セルの強誘電体物質をリフレッシュさせるために前記チップへ印加された前記増加された大きさの電圧で前記アレイの各セルをアクセスする、上記各ステップを有することを特徴とする方法。

【請求項44】 請求項43において、前記アクセスするステップが各メモリセルを読取ることにより実施されることを特徴とする方法。

【請求項45】 請求項43において、前記供給電圧が正の供給電圧を増加させることにより増加されることを特徴とする方法。

【請求項46】 請求項43において、前記供給電圧が負の供給電圧を増加させることにより増加されることを特徴とする方法。

【請求項47】 強誘電体メモリにおいて、各々が強誘電体容量性要素を有する複数個のメモリセルが設けられており、前記セルの少なくとも一つへ接続して少なくとも一本のビットラインが設けられており、前記セルの少なくとも一つへ接続して少なくとも一本の駆動ラインが設けられており、センスアンプが設けられており、前記セルの読取り期間中に前記ビットラインを前記センスアンプへスイッチ可能に接続させ且つ前記セルのリフレッシュ期間中に前記ビットラインを前記センスアンプから分離させる分離トランジスタが設けられており、前記セルのリフレッシュ期間中に動作可能であり前記容量性要素をリフレッシュさせるために前記駆動ラインと前記ビ

6

ットラインとの間に電圧を印加する駆動回路が設けられていることを特徴とするメモリ。

【請求項48】 請求項47において、更に、前記駆動ライン回路を駆動するオシレータが設けられていることを特徴とするメモリ。

【請求項49】 請求項47において、更に、メモリアクセスを集計し且つ所定数のアクセスの後にリフレッシュを開始させるカウンタが設けられていることを特徴とするメモリ。

【請求項50】 請求項47において、前記駆動回路が、前記駆動ラインへ接続されている第一CMOSTランジスタと前記ビットラインへ接続されている第二CMOSTランジスタとを有することを特徴とするメモリ。

【請求項51】 請求項50において、前記各CMOSTランジスタが前記メモリの供給電圧の間に直列的に接続されていることを特徴とするメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、大略、強誘電体コンデンサのリフレッシュ技術に関するものである。1側面においては、本発明は、長期的な耐久性を増加させるために強誘電体コンデンサセルを具備するメモリアレイをリフレッシュさせる方法及び装置に関するものである。

【0002】

【従来の技術】集積回路技術の進化により、数百万個のメモリセルを単一の半導体チップ上に製造することが可能となっている。このことは、速度が速く且つ実質的な物理的空間を必要とした伝統的な磁気コア型のメモリと比較すると極めて望ましい業績である。しかしながら、磁気コアメモリは非揮発性であり、即ちそのセルは、電力が装置から取除かれた場合であっても、電気的な状態を維持するものであり、一方半導体ダイナミックランダムアクセスメモリ(DRAM)及びスタチックランダムアクセスメモリ(SRAM)は、通常、揮発性のものであり、その場合には、チップから電力が取除かれると、全てのデータ情報が失われる。単一トランジスタ形態に起因してDRAMセルの集積度は高いものであり、現在のところ最大でチップ当たり4又は16メガビットであるが、これらのセルはセルコンデンサ上の電荷を回復するために10乃至15ミリ秒毎にリフレッシュすることを必要とする。このリフレッシュ頻度のために、この様なリフレッシュ動作に対して専用のオンチップ又はオフチップの回路が必要とされている。

【0003】非揮発性半導体メモリに対する必要性にตอบสนองして、電気的にプログラム可能(書き込み可能)なリードオンリーメモリ(EPROM)及び電気的に消去可能及び書き込み可能なリードオンリーメモリ(EEPROM)として知られる半導体メモリが開発されている。これらの非揮発性半導体メモリは、装置から電力が取除か

(5)

特開平5-62469

7

れた場合でも格納した情報を維持することが可能であるが、この様な装置は、通常、かなり遅い書き込み速度を有しており且つ高い電圧の書き込み回路を必要とする。更に、この様なメモリ装置は、非揮発性格納メカニズムがセルに書き込みが行なわれる回数に反比例して減衰するので、制限された数の書き込み動作に対して有用なものである。この様な非揮発性格納が可能とされるメカニズムは、セルのトランジスタゲート区域内に電子トンネル電荷を形成することであり、その電荷はそのセルへ印加される供給電圧とは関係なく残存する。

【0004】別のタイプの非揮発性メモリはバッテリーバックアップ型SRAMである。このタイプのメモリは、通常、6個のトランジスタからなるセルを有しており、小型のバッテリーがパッケージ封止物内にモールド形成されている。パッケージがそのソケットから取外される場合にチップ上に電力が残存するが、セル当りに必要とされるトランジスタの数のためにそのメモリアレイを大型化することは不可能である。

【0005】非揮発性半導体メモリの最近の開発において、各セルに対する格納メカニズムとして強誘電体物質が使用されている。特に、強誘電体コンデンサは特定した状態に分極させることが可能であり、その状態は、そのセルに印加された電圧が存在しない場合であっても維持することが可能である。メモリセルにおける強誘電体容量性要素を使用することの一つの実質的な利点は、集積度が半導体DRAMメモリのものに近接し、且つ読取り及び書き込み速度も同等であるということである。しかしながら、メモリにおいて強誘電体物質を使用することの主要な欠点は、セルの通常の読取り及び書き込み動作に起因して繰返されるスイッチング動作の結果として検知可能な強誘電体分極が次第に失われるということである。従って、強誘電体メモリセルの集積度及び書き込み速度が従来のEPROM及びEEPROMと比較して顕著な改善を与えるものであるが、強誘電体メモリの有用な寿命は比較的制限されているものである。

【0006】

【発明が解決しようとする課題】前述したことから理解される如く、強誘電体コンデンサの耐久性を延長させるための技術に対する必要性が存在している。更に、現在の非揮発性半導体メモリの寿命を十分に超えて寿命を延長するような態様で強誘電体メモリの読取り及び書き込み動作を行なう方法及び装置に対する必要性が存在している。更に、アレイ内のコンデンサの各々をリフレッシュすべく適合された回路を具備する強誘電体メモリに対する需要が存在している。

【0007】

【課題を解決するための手段】本発明によれば、強誘電体コンポーネントの耐久性を延長させるための方法及び装置が提供される。本発明の広義の側面によれば、強誘電体コンポーネントが周期的に励起されてリフレッシュ

8

を行ない、即ちこの様なメモリの寿命を延長させるために分極状態を再確立する。本発明の好適実施例によれば、通常の電圧よりも高い電圧が強誘電体要素を横断して印加され、強誘電体要素の通常動作期間中に不活性状態となったドメインを活性化させ且つ再分極させる。

【0008】本発明の好適形態によれば、多数の強誘電体メモリセルがアレイの形態に配列されており、リフレッシュシーケンス期間中に、通常の読取り動作が実施されて、関連するセンスアンプ内にデータを一時的に格納させる。次いで、増加された電圧がセルコンデンサへ印加されて、強誘電体物質をリフレッシュさせる。その後、一時的に格納されたデータをそれぞれのセルへ再び書き込む。強誘電体コンデンサを横断して増加させた電圧を印加させることにより、強誘電体物質自身がリフレッシュされ、且つ該コンデンサが延長された読取り/書き込み動作を行なうことが可能であることが判明した。強誘電体コンデンサを周期的にリフレッシュすることにより、この様なメモリの寿命は少なくとも $10^{11}$ の付加的な読取り/書き込みメモリアクセスへ延長させることが可能であるものと考えられる。

【0009】特に、各強誘電体コンデンサはバストラジスタにより駆動ラインとビットラインとの間のセル内に接続されているので、リフレッシュ動作期間中に駆動ラインとビットラインとの間に印加される電圧を増加させて、強誘電体コンデンサを横断して通常の大きさの電圧よりも一層大きな電圧を印加させることが可能である。この様な強誘電体コンデンサセルのアレイにおいて、多数のセルに対して共通な駆動ライン及びビットラインがリフレッシュ回路へ接続される。リフレッシュ動作期間中、完全な供給電圧が、駆動ライン及びビットラインを介して、強誘電体コンデンサを横断して印加される。このことは、通常の読取り動作期間中に該コンデンサが露呈されるものの約2倍の増加された電位をセルコンデンサを横断して供給する。好適には、リフレッシュ動作は、各セルコンデンサを供給電圧の大きさの一連のパルスへ露呈させることにより実施される。

【0010】長期間を基礎とする場合、例えば多数のメモリアクセスサイクルの後に、各強誘電体メモリセルのリフレッシュ動作を実施する。オンチップカウンタはメモリアクセスの数を集計し、且つ所定のカウントにおいて、回路が活性化され、リフレッシュ動作期間中に、増加された電圧を強誘電体要素を横断して印加する。

【0011】強誘電体セルは時々のリフレッシュを必要とするに過ぎないので、この様な動作はプロセッサソフトウェアの制御下で実施することが可能であり、その際にそうでない場合にはDRAM型メモリ自身において必要とされるハードウェアの拘束条件を減少させている。更に、強誘電体メモリの長期的なリフレッシュ条件は、例えば、DRAMにおける如く、リフレッシュ動作が10乃至15ミリ秒毎に必要な場合の通常の読取り/

(6)

特開平5-62469

9

10

音込みアクセスをインタラプトする問題を減少させている。

【0012】

【実施例】非揮発性メモリ格納要素として強誘電体コンデンサを使用することは従来公知である。しかしながら、上述した如く、強誘電体物質に関する主要な欠点は、分極状態を格納することの能力が時間と共に劣化し、その際にメモリの耐久性を減少させることである。本明細書において使用される如く、「耐久性」という用語は、信頼性を持ってデータを格納する能力において認知可能な劣化が発生する前にメモリをアクセスする場合に実施することが可能な読取り／音込みサイクルの数に關係している。強誘電体コンデンサを「リフレッシュ」しその際にこの様なタイプのメモリの耐久性を増加させるある技術が存在することが判明した。従々のリフレッシュ技術及び回路について以下に詳細に説明する。

【0013】図1を参照すると、スイッチングトランジスタ14と直列接続されている強誘電体容量性要素12を有する従来の強誘電体セル10が示されている。トランジスタ14は、ワードライン16上の信号により駆動されて、駆動ライン18とビットライン20との間に強誘電体コンデンサ12を接続させる。大型のメモリアレイにおいては、ワードライン16、駆動ライン18、ビットライン20は、行及び列の形態に配列されたその他のメモリセルへ共通接続されている。センスアンプ22がビットライン20へ接続されており、ビットライン20へ接続されているアクセスされたセルからデジタルの1又は0の何れが読取られたかを検知する。ビットライン20へ接続されている任意のセルから読取られたデータ状態は、センスアンプ22により検知され且つラッチされることが可能である。センスアンプ22は、アクセスしたセル内に格納されている信号に対応する出力論理信号を供給するための入力／出力(I/O)端子24を有している。書き込み動作期間中、I/O端子24はデジタル信号により駆動することが可能であり、その際にセンスアンプ22は、対応する分極状態をアクセスされたメモリセル内に格納すべく動作する。重要なことであるが、図1に示したメモリアーキテクチャは、各ビットライン20と関連する寄生容量26に依存している。所望のビットライン容量26は、半導体製造プロセス期間中に、それに対して十分な容量を付加することにより修正させることが可能である。寄生ビットライン容量26は読取り動作期間中において重要である。読取り動作期間中、トランジスタ14は導通状態であり、パルスが駆動ライン18へ印加され、その場合に、強誘電体コンデンサ12内に格納されている電荷が、コンデンサ12及び26の間の相対的な容量に基づいた割合で、ビットライン寄生容量26へ部分的に転送される。好適には、強誘電体コンデンサ12の容量は、寄生ビットライン容量26の容量とはほぼ等しいものである。この様に、強誘電体

コンデンサ12から読取られる電荷は、これら二つのコンデンサ12及び26の間ではほぼ均一に分散される。同様に、強誘電体コンデンサ12及びビットライン寄生容量26を構断して発生される電圧もほぼ等しい。理解すべきことであるが、読取り動作期間中にコンデンサ12及び26を構断して発生される電圧は、強誘電体コンデンサ12が一方の分極状態を格納している場合には低く、且つ強誘電体コンデンサ12が反対の分極状態を格納している場合には一層高い。しかしながら、読取り動作期間中に強誘電体コンデンサを構断して発生される最も高い電圧は約2-3Vに過ぎず、供給電圧は約5Vである。上述した如く、I/O入力段24へ所望のデータ状態を印加することにより、強誘電体コンデンサ12内にデータを音込むことが可能である。次いで、センスアンプ22がビットライン20上に対応する電圧を印加する。次いで、反対極性の電圧を駆動ライン18へ印加することが可能であり、且つトランジスタ14が導通状態となって、適宜の分極状態を強誘電体コンデンサ12内に格納することが可能である。

【0014】一つの技術によれば、強誘電体コンデンサ12は、センスアンプ22により駆動される如く、駆動ライン18とビットライン20との間に適宜の電圧を印加することにより、リフレッシュさせることが可能である。換言すると、センスアンプ22の出力端は、予め定めた高又は低電圧へ駆動させることが可能であり、且つ反対極性の電圧を駆動ライン18へ印加させることが可能である。勿論、トランジスタ14は導通状態へ駆動され、駆動ライン18とセンスアンプ22の出力端との間に強誘電体コンデンサ12を接続させる。通常の供給電圧( $V_{cc}$ )より高い回路電圧を、例えば電圧倍増器回路30などにより、駆動ライン18へ印加させることが可能である。オンチップ電圧倍増器30は、外部 $V_{cc}$ 供給電圧から駆動させることが可能であり、且つスイッチ又はトランジスタ(不図示)により駆動ライン18へ結合させることが可能である。別法として、駆動ライン18は、チップ供給電圧 $V_{cc}$ よりも大きな外部供給電圧( $V_{dd}$ )へスイッチ可能に接続させることが可能である。勿論、増加された大きさの電圧は、典型的に、以下に詳細に説明する駆動ラインデコーダを介して結合される。同一の感様で、センスアンプ22内の回路を、スイッチ可能にビットライン20へ接続させ、リフレッシュのために増加した電圧を与えることが可能である。

【0015】センスアンプ22が典型的にビットライン20へ直接的に接続されている間、センスアンプ22はメモリリフレッシュのためにビットライン電圧を制御するための適切な回路である。しかしながら、且つ本発明の重要な特徴に基づいて、ビットライン20自身は、センスアンプ22の動作を変更乃至は修正することなしに、ビットライン20へ直接的に増加した電圧を供給するためにその他のメモリ回路へ拡張させることが可能で

(7)

特開平5-62469

11

ある。本発明の別の形態においては、電圧駆動回路34が、同時に多数の強誘電体コンデンサをリフレッシュするために十分な電流駆動能力を供給する。この様に、スイッチングトランジスタ14が導通状態に駆動されると、適宜の極性の電圧を駆動ライン18とビットライン20との間に直接的に印加させることが可能であり、その際に強誘電体コンデンサ12を横断して増加した大きさの電圧を印加させることが可能である。電圧駆動回路34は、ビットライン20に対して増加した正の及び/又は負の何れか一方又は両方の電圧を供給すべく製造することが可能である。本明細書において使用され、且つメモリ適用において使用される如く、「通常のものよりも高い」リフレッシュ電圧とは、コンデンサ12が通常の読取り又は書き込み動作期間中に通過する電圧よりも一層大きな電圧であって強誘電体コンデンサを横断して印加される電圧のことである。その他の適用においては、「通常のものよりも高い」リフレッシュ電圧とは、単に、強誘電体コンデンサが通常の動作期間中に通過するものよりも大きな電圧であって強誘電体コンデンサに蓄えされる電圧のことを意味するに過ぎない。

【0016】次に、図2を参照すると、本発明に基づいた強誘電体メモリの主要な回路が示されている。多数の強誘電体メモリセル40、42、44が示されており、その各々は1個のトランジスタと1個の強誘電体コンデンサとにより構成されている。3個のメモリセルが一行の行として示されているが、典型的な強誘電体メモリは、例えば1024個の如きより多くの行を有している。更に、メモリセル40、42、44は、アレイの異なる列内に設けられており、それらの列は多くのその他の同様なメモリセルと関連している。メモリセルの一つ又はそれ以上にアクセスすることは、ワードラインデコーダにより行なわれ、そのワードラインデコーダのうちの一つは参照番号46で示してある。更に、多数の駆動ラインデコーダ48のうちの一つが示されている。アドレスデコーダ50は、メモリチップの端子からアドレスを受取り且つバス52及び54を介して適宜の信号をそれぞれのワードラインデコーダ46及び駆動ラインデコーダ48へ供給する。ワードラインデコーダ46は、バス52上のアドレスをデコードし且つ適宜の出力を駆動すべく動作する。図2のメモリアレイは、一つの行内の1個のセルがアドレスされている状態を示している。しかしながら、デコーダ46の各出力端は一つのアレイ列内の多数の同様のセルへ接続されている。

【0017】同様の態様で、駆動ラインデコーダ48は、アドレスバス54上のアドレス信号をデコードし且つ適宜の出力駆動ラインを選択する。入力バス54上の各異なるアドレスに対して、異なる駆動ラインが選択され且つデコーダ48により駆動される。図示した如く、駆動ライン18が選択され且つ駆動される場合には、その上の電圧がメモリセル40、42、44の強誘

12

電体コンデンサの各々へ結合される。デコーダ48へ接続されているその他の駆動ラインは該アレイ内のその他の行のメモリセルへ結合される。

【0018】本発明の重要な特徴によれば、ビットライン20も駆動ラインデコーダ48へ接続されており、従って駆動ライン18及びビットライン20の両方がリフレッシュ動作期間中に制御することが可能である。分離トランジスタ60が、ビットライン20とセンスアンプ22との間に接続されており、通常のメモリ動作の期間中及び全リフレッシュ動作期間中にそれらの間に分離を与える。制御及びリフレッシュ回路62が駆動ラインデコーダ48へ接続されており、それに対しての制御信号を供給する。リフレッシュ回路62も分離トランジスタ60へ接続されている。回路62は、駆動ラインデコーダ回路48へ複数の電圧パルスを供給するために、約5-10MHzの周波数で動作するオシレータを有している。

【0019】センスアンプ22は、分離トランジスタ60によりビットライン20へ接続されており、従ってその行内の多数のメモリセルへ接続されている。本発明の好適実施例においては、センスアンプ22が従来のラッチング態様で動作し、ビットライン20上の電圧を検出し且つそれをデータ1/0及びデコーダ回路64へ転送するためのデジタル信号としてラッチする。センスアンプ22は更にセンスタイミング及び制御回路66へ接続されている。チップイネーブル信号がこのセンスタイミング及び制御回路66へ印加されると共に制御及びリフレッシュ回路62へも印加される。書き込みイネーブル信号が、チップから外部的にセンスタイミング及び制御回路66へ印加されると共にデータ1/0及びデコーダ64へ印加される。最後に、出力イネーブル信号が、センスタイミング回路66及びデータ1/0回路64の両方へ印加される。メモリチップに関して入力及び出力されるデータ信号は1/024を介して行なわれる。読取り動作であるか又は書き込み動作であるかに拘らず、メモリチップがアクセスされるべき場合には、チップイネーブル信号が印加される。書き込みイネーブル信号が一方の状態にある場合には、アクセスされたメモリセルの書き込み動作を開始し、一方他方の状態にある場合には、アクセスされたメモリセルの読取り動作を開始する。出力イネーブル信号は、主に、読取り動作期間中にデータがライン24上に出力されるべきであるか、又はデータがライン24上に入力され従ってそれがアクセスされたメモリセル内に書き込むことが可能であるかを決定する。図2に示したメモリ回路はアレイ内の特定のメモリセルへアクセスするための特定の構成を有する形態とされているが、その他の構成のものを使用して同等の効果を発現することも可能である。図2に示したメモリの動作について以下に簡単に説明するが、リフレッシュ動作に関するのみである。読取り動作、リフレッシュ動作、再書き込

(8)

特開平5-62469

13

み動作を包含する全体的なリフレッシュシーケンスは以下により完全に説明する。制御及びリフレッシュ回路62は、メモリアレイがアクセスされた回数をカウントするためにチップイネーブル信号の数に匹敵するカウンタを有している。予め定めたカウントに匹敵して、オシレータがトリガされて、駆動ラインデコード48へリフレッシュ信号のバーストレインを供給する。あるアドレスに匹敵して、アドレスデコード50はそれぞれのワードラインデコード46及び駆動ラインデコード48に対してバス52及び54上に適宜のアドレス信号を供給する。アクセスされたメモリスルのスイッチングトランジスタが導通状態に駆動され、且つ正及び負の供給電圧の間で駆動されるオシレータ電圧が駆動ライン18とビットライン20との間に印加される。分能トランジスタ60は非導通状態に止まり、その際にその行のメモリスルを一時的にセルデータを格納するセンスアンプ22から分能する。好適には、リフレッシュ電圧は、供給電圧 $V_{cc}$ と接地との間で振動する数サイクルの方形波であり、その電圧は駆動ライン18とビットライン20との間に印加される。セルトランジスタの一つ又はそれ以上がターンオンされると、この様な電圧は誘導電体コンデンサを構成して直接的に印加され、誘導電体物質をリフレッシュ乃至は復活させる。一度開始されると、リフレッシュ動作は、好適には、チップ上の全てのセルがリフレッシュされるように実施される。リフレッシュ動作期間中にアドレスの完全な補元を外部的に供給し且つアドレスデコード50によりアレイへ印加させることが可能である。實際上、アドレスデコード50は行アドレス及び列アドレスの両方を有している。別の形態においては、制御及びリフレッシュ回路62によりトリガされるオンチップアドレスカウンタを設けることが可能である。図示していないが、このオンチップアドレスカウンタは、アドレスデコード50と多重化動作させ、アレイの全てのセルをリフレッシュするための全てのアドレスを内部的に供給することが可能である。

【0020】メモリリフレッシュ動作は任意の時間発生することが可能であるが、好適には、それは、リフレッシュシーケンスにおける読取り動作の後に発生し、その場合には、アクセスされたメモリスルが最初に読取られ且つ分能トランジスタ60が導通状態とされ、従ってセンスアンプ22が一時的にそのセルから読取ったデータを格納することが可能である。次いで、そのリフレッシュ動作は分能トランジスタ60をカットオフした状態で実施され、その後、導通状態へ駆動され、従ってセンスアンプ22内に一時的に格納されたデータはそれぞれのセル内へ再び書き戻すことが可能である。

【0021】本発明の詳細な構成及び動作について図3及び図4を参照してより詳細に説明する。駆動ラインデコード48は、バス54上の入力アドレスをデコードし且つ特定の駆動ラインを選択するための従来の駆動ライ

14

ンアドレスデコード70を有している。駆動ラインデコード70の一方の出力端は駆動ライン18へ接続して示されている。駆動ラインデコード70の他の出力端は他の駆動ライン（不図示）へ接続されている。デコード48内のリフレッシュ回路は、典型的な並列接続されたドレイン・ソース接続状態で、Pチャンネルトランジスタ72及びNチャンネルトランジスタ74により構成される第一転送ゲートを有している。トランジスタ74のゲートは入力端76へ接続されており、一方トランジスタ72のゲートはインバータ75を介して入力端76へ接続されている。転送ゲート72及び74は、ビットライン20と駆動回路78との間に完全な供給電圧が印加されることを可能としている。C入力端76へ論理低信号が印加されると、トランジスタ72及び74の両方は、ビットライン20と駆動ラインデコード48との間に分離を与える。駆動回路78は、Nチャンネルトランジスタ82と直列接続されているPチャンネルトランジスタ80により構成されるCMOS対のトランジスタを有しており、その直列結合は供給電圧 $V_{cc}$ と接地との間に接続されている。Pチャンネルトランジスタ80のドレイン端子はNチャンネルトランジスタ82のドレイン端子へ接続されており、その接続部は転送ゲート72及び74へ接続されている。CMOSドライバ回路78のゲート端子は共通接続されると共に入力オシレータライン84へ接続されている。CMOSトランジスタ対78は、オシレータ入力端84上に供給される信号を反転すべく機能し、且つトランジスタゲート72及び74を介してビットライン20へ電流駆動を供給する。

【0022】Pチャンネルトランジスタ86と、Nチャンネルトランジスタ88と、インバータ89とにより構成される第二転送ゲートが、伝送ゲート72及び74及びインバータ75と同一の態様で接続され且つ機能するが、駆動ライン18及びCMOSTランジスタ対90に対して設けられている。CMOSTランジスタ対90は、Pチャンネルトランジスタ92及びNチャンネルトランジスタ94により構成されており、CMOSTランジスタ対78と実質的に同一の形態を有している。CMOSTランジスタ対90は、駆動ライン18に対して電流駆動能力を与えている。第三CMOSTランジスタ対96は、Pチャンネルトランジスタ98及びNチャンネルトランジスタ100を有している。トランジスタ98のドレインはトランジスタ100のドレインへ接続されており、その接続部はCMOS対90のトランジスタのゲートへ接続されている。CMOSTランジスタ対96は、トランジスタ対78及び90の如く電流駆動能力を有することは必要ではないが、CMOSTランジスタ対96は反転機能を与え、従って駆動ライン18はビットライン20を駆動する位相に関して180度ずれた位相のオシレータ信号で駆動される。図示していないが、リフレッシュドライバ78及び90は、複数個の駆動ライ

(9)

特開平5-62469

15

ン及びビットラインにより多くのセルを同時にリフレッシュすべく接続させることが可能である。リフレッシュ期間中にデータが喪失することを回避するために、メモリアーキテクチャは、共通のサイクルでリフレッシュされるべきセルが使用可能なセンスアンプをしてデータをその中に一時的に格納させるように構成すべきである。

【0023】図3に示した如く、各々が強誘電体コンデンサ12及びスイッチングトランジスタ14により構成される多数のメモリセルが駆動ライン18とビットライン20との間に接続されている。又、トランジスタ110が駆動ライン18と共通の回路との間に接続されている。トランジスタ110は、リフレッシュ動作に続くデータ再言込み動作期間中動作状態となる。

【0024】上述した如く、分離トランジスタ60がビットライン20とセンスアンプ22との間に接続されている。分離トランジスタ60は論理NORゲート116により駆動される。論理ゲート116の二つの入力端のうち、一方の入力端(B)は制御及びリフレッシュ回路62により駆動され、従って分離及びコンダクタンスがリフレッシュシーケンス期間中に制御することが可能である。NORゲート116の他方の入力端はANDゲート117の出力端へ結合されている。ANDゲート117の一方の入力端はA信号を受取り、一方他方の入力端は制御及びリフレッシュ回路62からロックアウト(L0)信号を受取る。ANDゲート117のA入力端は、従来の読取り/書き込み回路(不図示)により制御され、従って通常の読取り及び書き込み動作は、制御及びリフレッシュ回路62とは独立的に実施することが可能である。NORゲート116のB入力端及びロックアウト信号は、同様に、チップの他の回路を除外するように、従って該回路に対して透明な状態で、リフレッシュシーケンス期間中に制御することが可能である。

【0025】センスアンプ22は、ゲートが共通接続されており且つ導体124及びデータ出力(反転型)端子136の両方へ接続されているトランジスタ120及び122を有する従来のDRAM型のセンスアンプである。約0.5V<sub>cc</sub>の基準電圧(V<sub>ref</sub>)がトランジスタ125を介して導体124へ結合されている。トランジスタ125は、センスアンプ22と基準電圧との間に高インピーダンスを与えている。より詳細には、該基準電圧の大きさは、ビットライン20上の高及び低セル読取り電圧の間の約中間に選択されている。

【0026】同様の態様において、トランジスタ126及び128は、両方とも導体130及びデータ出力端子132へ接続されている共通のゲート接続部を有している。分離トランジスタ60のソース端子はトランジスタ120のソース端子へ接続されると共にトランジスタ122のドレイン端子へ接続されている。トランジスタ126及び128の共通ゲート接続部はトランジスタ13

16

4のドレイン端子へ接続されている。トランジスタ134のソース端子は回路共通部へ接続されており、一方そのゲートは信号V<sub>1</sub>によって駆動され、その信号は制御及びリフレッシュ回路62によって出力として供給される。

【0027】トランジスタ126のソース端子はトランジスタ128のドレイン端子へ接続されており、その接続部も反転型データ出力端136を画定している。トランジスタ120及び122の共通ゲート接続部及び反転型データ出力端136における電圧は、トランジスタ138により回路共通部へプルすることが可能である。トランジスタ138はV<sub>1</sub>信号により駆動される。供給電圧V<sub>cc</sub>は、トランジスタ139によって、センスアンプ22へスイッチ可能に接続されている。トランジスタ139はプレチャージ信号PCにより制御される。図示したセンスアンプ22は相補型データ出力端が設けられているが、図2に示した如く、データI/O及びデコード64を駆動するためには一方のみを使用することが必要であるに過ぎない。

【0028】制御及びリフレッシュ回路62は、デコーディング及びタイミング回路を有しており、その回路は、リフレッシュ動作の前に内部的読取り動作を行ない次いでデータの再言込み動作を行なうためにアレイの回路を制御することが可能である。内部的読取り動作、リフレッシュ動作及び再言込み動作は、好適には、チップ外部の回路を開始させることなしに実施される。しかしながら、当業者が、リフレッシュ制御及びアドレスをチップ外部で開始させることが可能であるような回路を容易に考案することが可能であることは勿論である。この様な実施例の一つについて以下に説明する。制御及びリフレッシュ回路62は、好適には、オンチップ型のものであり、且つリフレッシュ動作を開始する前にメモリアクセスサイクルの数をカウントするための十分な数の段から構成されるチップアクセスカウンタ140を有している。好適実施例においては、強誘電体メモリチップは、リフレッシュシーケンスを行なう前に、10<sup>10</sup>アクセスサイクル数を経験する。チップアクセスカウンタ140は、リフレッシュシーケンス間に発生することが可能なカウント数に均等な係数を有している。好適には、チップアクセスカウンタ140は多数の段を有しており、これらの段のうちの幾つかは一つ又はそれ以上の強誘電体コンデンサを具備しており、従って該カウンタの少なくとも一部は非揮発性である。該カウンタの8-10最小桁デジッドは、強誘電体コンポーネントを有するものではなく、それらは、そうでない場合には、繰返されるサイクル動作に起因してメモリセルと同一の疲労を発生する。この構成の場合には、回路からメモリチップが除去されるか、又はチップ自身から電力が除去される場合には、カウンタ140は該チップがアクセスされた回数 of 正確なカウントを維持する。非揮発性強誘電体カ

(10)

特開平5-62469

17

ウンタは米国特許第2,872,661号及び第3,082,409号に記載されている。又、カウンタ140は、該カウンタを予め定めたカウントへプリセットするためにロードレジスタ142へ接続した入力端を有することが可能である。カウンタ140の出力端はデコーダ144へ接続されており、リフレッシュシーケンスを開始させる予め定めたカウントをデコードする。デコーダ140の出力端はタイミング及び制御回路146へ接続されており、該回路はリフレッシュシーケンスを達成するための全てのタイミング信号を供給する。タイミング回路146の一方の出力端150はその動作を可能とするためにオシレータ148へ結合されている。好適には、オシレータ148はRCタイプのゲート動作される方形波発生器であり、それはライン150上のタイミング信号によりイネーブルされるまで動作することはない。オシレータ148の出力端は駆動ラインデコーダ回路48の入力端84へ接続されている。

【0029】メモリリフレッシュ回路の動作について、読取り動作、リフレッシュ動作及び再書き込み動作に関連して以下に説明する。図3の回路に関連して図4に示した波形は一行又は一列のメモリセルを一度にリフレッシュ

18

大きな量の電荷を転送することを可能としている。ブートストラップされたワードラインは、更に、リフレッシュ期間中に、強誘電体セルコンデンサ12を導通して完全な電圧を印加することを向上させる。次いで、駆動ライン18がデコーダ70により論理高レベルへ駆動され、この様な信号は参照番号162により示してある。低レベルから高レベルへの駆動ライン電圧の遷移は、セル10から強誘電体コンデンサ12の容量とビットライン20の寄生容量26との間に電荷を分散させる。これらのコンデンサ12及び26の間に分散される電荷は、強誘電体コンデンサ12内に格納される分極状態に比例している。例えば、駆動ラインパルス162の印加が強誘電体コンデンサ12の分極状態を変化させると、実質的により多くの電荷がコンデンサ12と26との間に分散される。その他の分極状態に対してはその逆が真であり、その場合、駆動ライン18が論理高レベルへ遷移する場合に強誘電体スイッチング動作が発生することはない。換言すると、寄生容量26は、強誘電体コンデンサ12の分極状態に依存して、異なった量の電荷を格納する。寄生ビットライン容量26により格納される電荷はこの様なコンデンサを導通しての電圧に比例しているの



(11)

特開平5-62469

19

信号は参照符号166で示してある。適宜のデジタル状態がセンスアンプ22内に確立されると、分離トランジスタ60の駆動信号が除去され、その際に、ビットライン20はセンスアンプ22から分離される。

【0032】再度、特に図4を参照すると、ビットライン20上の電圧が、概略参照符号168で示してある。駆動ライン信号162の上昇端に続いて、電荷がビットライン20へ転送される。ビットライン電圧168と関連する実線170は一方の分極状態を表わしており、一方破線172は他方の分極状態に 대응するビットライン20上の電圧を示している。分離トランジスタ駆動信号166の上昇端に続いて、センスアンプ22が、参照符号174により示した如く、適宜の状態へスイッチする。センスアンプ22が適宜の状態へスイッチすると、ビットライン20が、参照符号176又は178により示した如く、適宜の論理状態へ駆動される。又、センスアンプ22が適宜の状態へ駆動されると、データ出力端子132が強誘電体コンデンサ12内に初期的に格納されている分極状態に対応するデジタル状態を発生する。データ出力信号は参照符号180で示してある。前述したことから、制御及びリフレッシュ回路62により開始

20

レータイネーブル信号184は、約10マイクロ秒の計時された期間を有しており、その際に約100個のオシレータサイクルを発生する。強誘電体物質を完全にリフレッシュするためには100個又はそれより僅かに少ないサイクルで十分である。過剰な数のオシレータサイクルが発生することが許容される場合には、コンデンサの疲労が発生する場合がある。その他の適宜の周波数及び期間を使用することも可能である。オシレータ信号186は、導体84によってCMOSドライバ78及びインバータ96へ供給される。CMOSドライバ78は、オシレータ信号の単一の反転を与え、一方CMOS対90及び96は二度の反転を与える。その結果、駆動ライン18及びビットライン20へ印加されるオシレータ駆動信号は位相がずれており、従ってそれらの間で最大の電圧が表われる。上述した如く、CMOSトランジスタ78及び90を使用することにより、接地と $V_{cc}$ との間の実質的に完全な範囲のチップ供給電圧を駆動ライン18とビットライン20との間に印加することが可能である。

【0035】図5を参照すると、駆動ライン18を駆動するオシレータ駆動信号188及びビットライン20を

(12)

特開平5-62469

21

あり、又トランジスタ82及び94のドレイン端子を負の電圧へ接続させることが可能であり、又は、それらの両方の電圧へ接続させて駆動ライン18とビットライン20との間に一層大きな電圧を得ることが可能である。この様な電圧は電荷ポンプ技術、電圧ブースト技術、により内部的に発生させるか、又はメモリチップに設けられた外部ピンによりアクセス可能なものとする事が可能である。

【0037】強誘電体コンデンサ疲労は、ドメインピンニング（ピン止め）、即ちスイッチするために一層高い保護力を必要とするドメインのポピュレーションの結果として発生する場合がある。このドメインのポピュレーションは、強誘電体コンデンサを横断して通常の電圧よりも一層高い電圧を印加することにより、少なくとも部分的にピン止め状態を解除したドメインへ復帰させることが可能である。実験結果によれば、通常の電圧よりも一層高い電圧を印加した場合には、ドメインの分極はほとんど完全に回復され、従って疲労現象は電気的に逆転させることが可能である。その結果、強誘電体メモリセルの耐久性を、リフレッシュ電圧を強誘電体要素へ印加することにより延長させることが可能である。

【0038】図4に示したリフレッシュ動作に続いて、センスアンプ22内に格納されているデータ状態を、強誘電体コンデンサ12をその元の状態へ適宜分極させることによりセル10内へ書き戻される。このことは、図4に示した如く、再音込み動作期間中に行なわれる。参照符号194により示した如く、ワードライン信号183を論理高レベルに維持し且つ駆動ライン18を論理低レベルへ駆動することにより、データが復活されたメモリセル10内へ再度音込まれる。制御回路62は、信号(E)を発生して、トランジスタ110を導通状態へ駆動し且つ駆動ライン18を論理低レベルへプルする。駆動ライン18が論理低レベルにある間に、分離トランジスタ60も、駆動信号196により示した如く、導通状態へ駆動される。その結果、正しい分極状態が強誘電体コンデンサ12内に書き戻される。この再音込み動作は、ワードライン信号を取除き、次いで駆動ラインクランプ信号及び分離トランジスタ60への信号を取除くことにより終了する。

【0039】強誘電体コンデンサを横断して周期的な通常の電圧よりも一層高い電圧を印加することは該コンデンサをリフレッシュするのに効果的であるが、強誘電体コンデンサ12がそれを横断して通常の電圧か又はそれより高い電圧を受ける時間期間を延長することによりリフレッシュ動作を向上させることも可能である。従って、オシレータ148のパルス幅を拡大することにより、一層長い時間期間を犠牲にして強誘電体コンデンサ12をリフレッシュさせることが可能である。ある程度の強誘電体物質リフレッシュ動作は、該コンデンサを横断して通常の電圧の単一の長いパルスで達成すること

22

が可能である。又、強誘電体メモリの耐久性は、例えば、1週間毎などのような一様な時間間隔でリフレッシュシーケンスを実施することにより又は相継ぐより少ない数のアクセスの後にリフレッシュシーケンスを実施することにより最適化させることが可能である。換言すると、チップアクセスカウンタ140が10<sup>14</sup>アクセスの後にリフレッシュシーケンスを開始すべくプログラムされている場合に、直後のリフレッシュシーケンスはより少ないアクセスサイクルが発生した後に行なわれる。例えば、2番目のリフレッシュサイクルは0.5×10<sup>14</sup>回のアクセスの後に発生させ、次のリフレッシュサイクルは10<sup>7</sup>回のアクセスの後に発生するなどの如きである。各リフレッシュ動作の後に強誘電体物質の疲労率が増加し、従って所定のレベルのメモリ性能を維持するためには、リフレッシュ動作が使用期間中に一層高い頻度で発生することが必要である。

【0040】図3及びそれに関連する波形はオンチップリフレッシュ回路を有する強誘電体メモリを示しているが、メモリリフレッシュ動作は、例えばプロセッサなどのような外部回路の制御下で実施することも可能であることを理解すべきである。換言すると、強誘電体メモリチップは、タイミング回路146、オンレータ148、図3に示した駆動ラインデコーダ48を有することが可能であり、その他の主要な制御回路はオフチップ装置内に存在することが可能である。この様な形態を図6に示してある。即ち、図6に示した如く、多数の行及び列の強誘電体セルからなるアレイ200及び駆動ラインデコーダ48が設けられている。又、制御及びリフレッシュ回路62内にはオンレータ及びタイミング回路が設けられている。しかしながら、タイミング回路146は外部リフレッシュ端子202へ接続されている。プロセッサ204は、典型的にこの様なメモリをアクセスするタイプのものとする事が可能であり、それは端子202へリフレッシュ信号を供給すると共にバス206上にアドレスを供給する。又、音込みイネーブル及びチップ選択信号は、プロセッサ204により制御され、読取り動作とリフレッシュ動作と書き込み動作とを有するリフレッシュシーケンスを実施する。

【0041】図6に示した実施例の利点は、プロセッサ204が、例えば予め定められた時間間隔の後、又は所定数のメモリアクセスの後、又はその他の基準が充足された場合などのような任意の時間にリフレッシュシーケンスを実施すべくプログラムすることが可能であるということである。別の利点は、プロセッサ204が、メモリの使用が低い期間中にリフレッシュ動作を実施することが可能であるということである。更に、プロセッサ204は、リフレッシュ動作期間中に、メモリのその他の通常のアクセスが、リフレッシュ動作が完了するまで中断させることが可能であるようにプログラムすることが可能である。プロセッサ204は図6における強誘電体メモリとは

(13)

特開平5-62469

23

別体に示してあるが、強誘電体メモリ自身は、例えばマイクロコントローラにおける如く、プロセサ204と同一のチップ上に集積化させることが可能である。

【0042】その目的のために、非揮発性強誘電体メモリと共に動作するプロセサは、プロセサの電力喪失に続いて、プロセサを再開する期間中に極めて有利なものとなる場合がある。強誘電体メモリを使用することにより、プロセサは、再ブートすることなしに、即ち「ウオーム」開始なしで再開することが可能である。換言すると、プロセサの故障期間中にメモリ内に現在存在するデータは失われることはなく、従ってデータを外部ディスクから読取り且つダイナミックメモリ内に言込むことは必要ではない。ウオームスタートを使用することにより、プロセサの再開動作は実質的に瞬間的であり、状態ベクトル、コード及びデータは非揮発性メモリ内に格納された状態で残存する。

【0043】リフレッシュ動作を実施する更に別の実施例を図7に示してある。スタンダードのパッケージ型強誘電体RAM210が、チップへDC電圧を供給するためのピン212を有すると共に回路共通部へ接続するためのピン214を有している。このパッケージ型メモリ

24

的に再度言込まれる。

【0044】別送として、又は付加的に、強誘電体メモリパッケージ210の共通端子214を、通常動作期間中に参照番号224で示した回路共通部へ接続させることが可能である。スイッチ222は、共通端子214へ負の電圧を印加するために別のコンタクト226へスイッチさせることが可能である。この様に、強誘電体コンデンサを導通して印加させた電圧を、更に増加させて強誘電体物質をリフレッシュさせることが可能である。図示してないが、端子214をスイッチ可能な状態で負のプログラム可能な供給電圧へ接続させ、共通端子214に対して所望の負の電圧を接続可能な状態とさせることが可能である。

【0045】以上の如く、強誘電体容量性要素をリフレッシュするための種々の方法及び装置について説明した。しかしながら、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、リフレッシュ能力は、一対の強誘電体コンデンサを具備する差動メモリセルに与えることが可能である。更に、種々の「シャドウ」RAMメモリが従来公

(14)

特開平5-62469

25

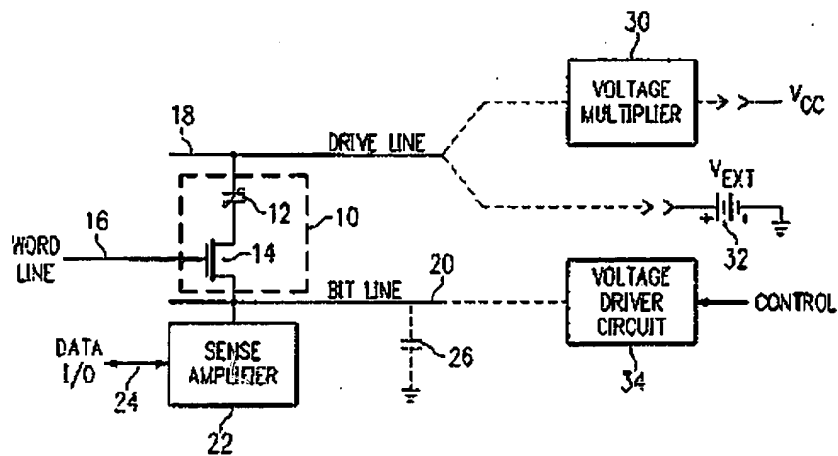
26

## 【符号の説明】

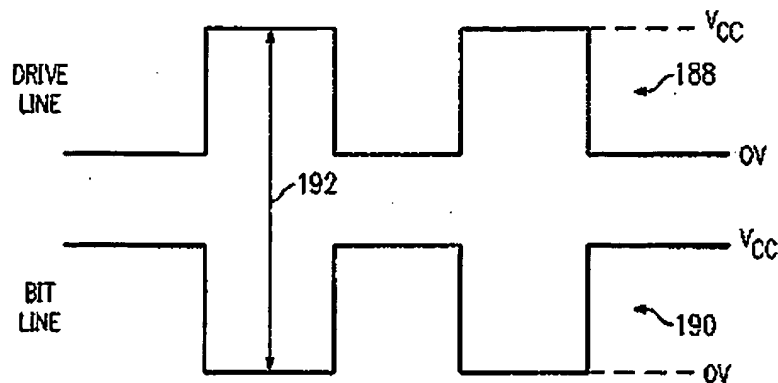
- 10 強誘電体セル  
 12 強誘電体コンデンサ  
 14 スイッチングトランジスタ  
 16 ワードライン  
 18 駆動ライン

- \* 20 ビットライン  
 22 センスアンプ  
 24 入力/出力端子  
 26 寄生容量  
 30 高圧倍増器回路  
 \* 34 高圧駆動回路

【図1】



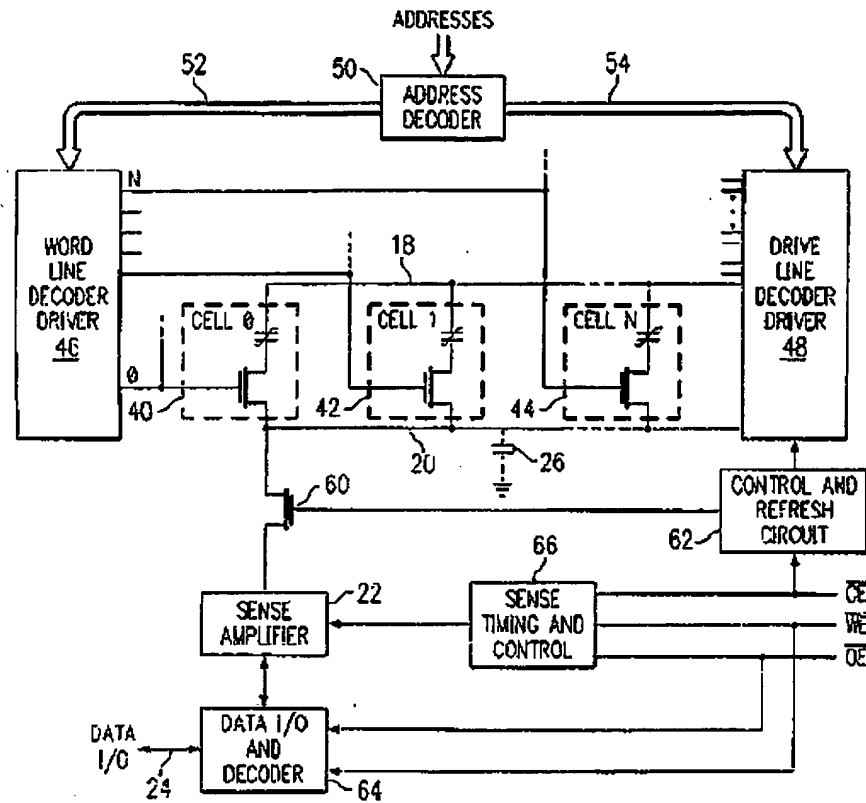
【図5】



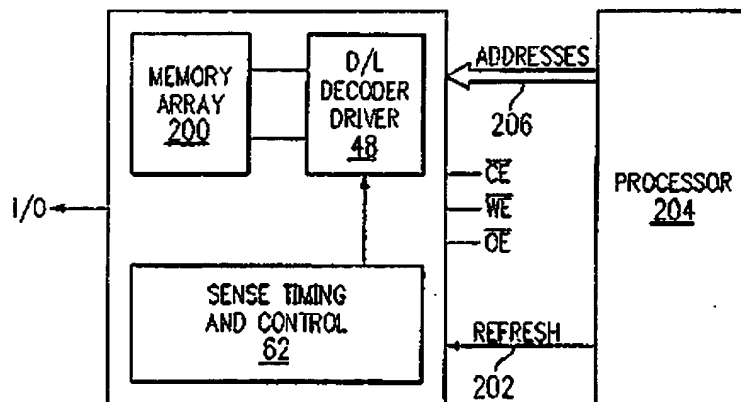
(15)

特開平5-62469

【図2】



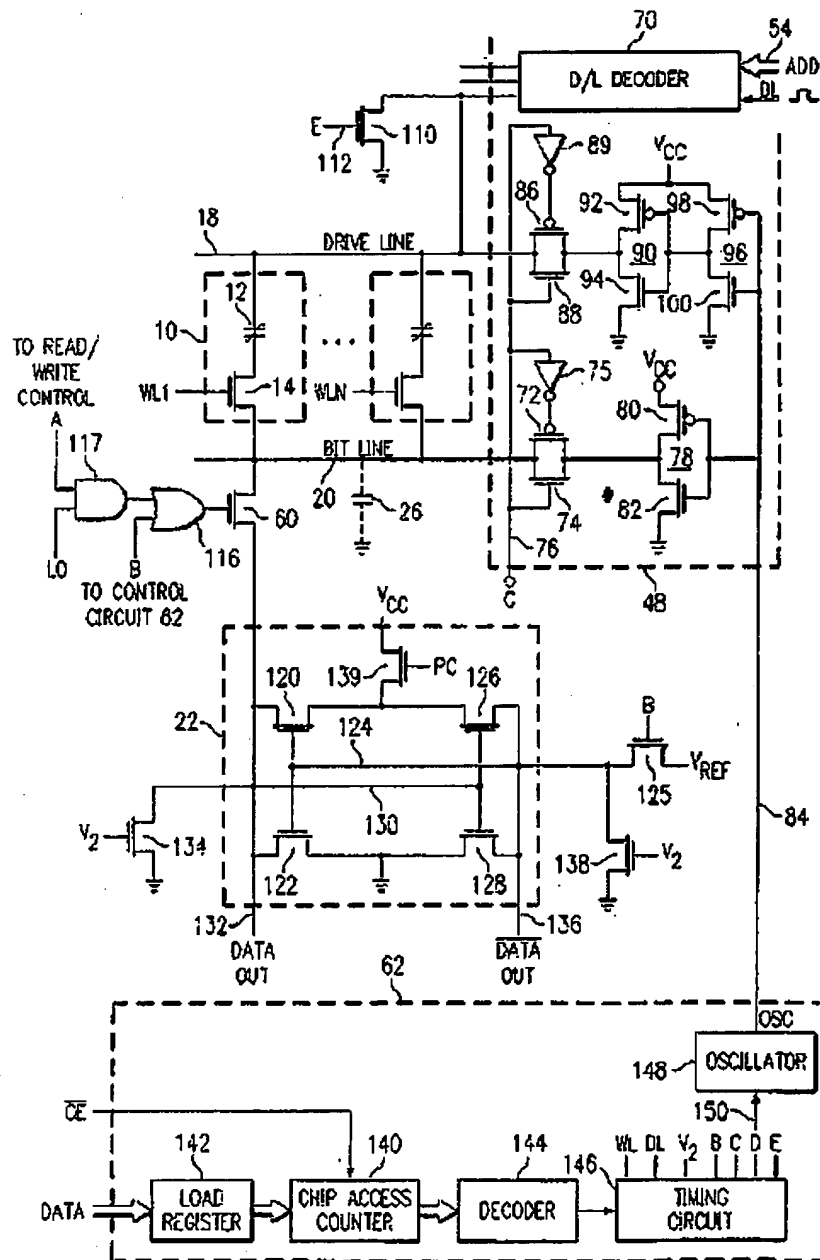
【図6】



(15)

特開平5-62469

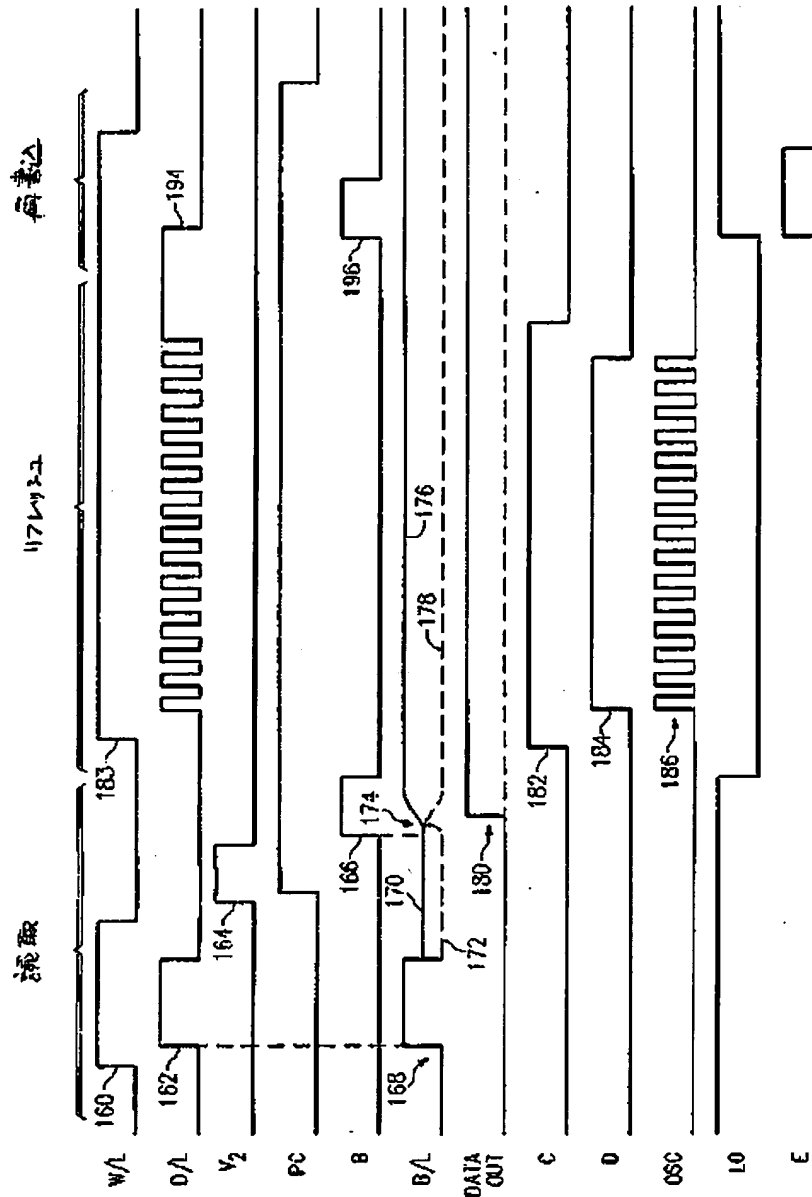
【図3】



(17)

特開平5-62469

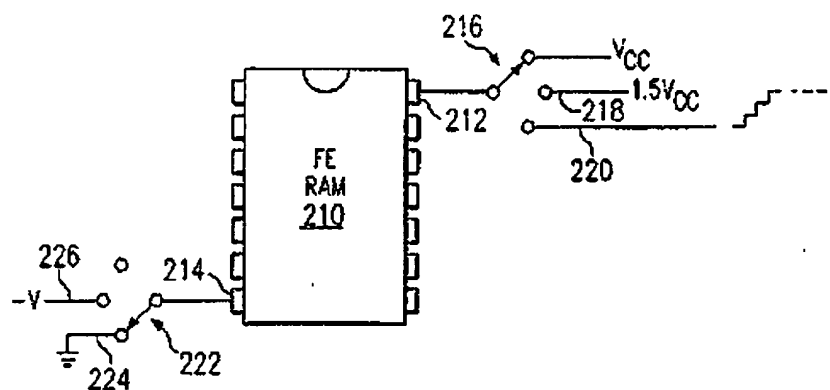
【図4】



(18)

特開平5-62469

【図7】




---

 フロントページの続き

(72)発明者 ジェームズ エム. ジャツフ  
 アメリカ合衆国、カリフォルニア  
 95051 サンタ クララ、パイロウト  
 ノブ ドライブ 2335